

Concise Explanation of Relevance of References 4 and 5

Reference 4 discloses, in section 0007 and Figure 1, a memory circuit having a ferroelectric memory cell and a cache memory. Further, reference 4 teaches, in section 0025 (2) and Figure 4, that an electric potential VPL of the common plate of ferroelectric capacitor is changed only one time at each timings of recall start and recall end, and a destructive readout without write-back is made in data reading.

Reference 4 teaches to use a ferroelectric memory cell as the memory cell.

Reference 5 discloses, in section 0015, a memory device having dynamic memory 100 and cache memory 110. Further, reference 5 teaches, in sections 0016 and 0019, that a destructive readout without write-back is made in data reading.

Reference 5 teaches, in section 0048, that the invention does not require to make limitations in line size, number of ways and capacity of cache memory 110.

SEMICONDUCTOR APPARATUS

Publication number: JP11353871

Publication date: 1999-12-24

Inventor: MIZUNO HIROYUKI; AYUKAWA KAZUSHIGE;
SUGANO YUSUKE

Applicant: HITACHI LTD

Classification:

- international: **G11C11/409; G11C11/401; G11C11/409; G11C11/401;**
(IPC1-7): G11C11/401; G11C11/409

- European:

Application number: JP19980161802 19980610

Priority number(s): JP19980161802 19980610

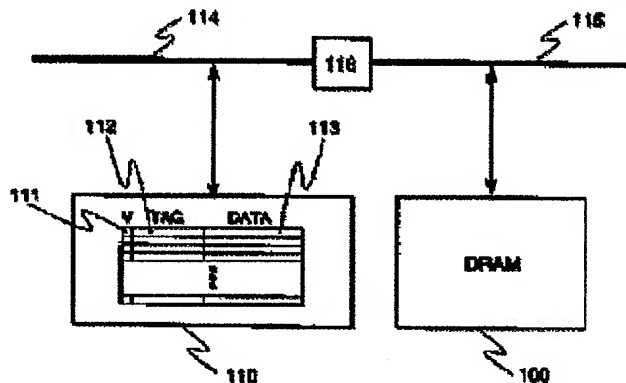
REFERENCE 5

Report a data error here

Abstract of JP11353871

PROBLEM TO BE SOLVED: To shorten the cycle time of reading, writing of a dynamic memory cell by selecting a word line, reading out a signal of a corresponding memory cell to a plurality of corresponding bit lines, amplifying the signal on an input/ output line and precharging a plurality of the bit lines.

SOLUTION: At a write operation, as only a word line of a selected memory cell is asserted, a bit line is driven in accordance with write data immediately after the word line is asserted. A destructively read data from a dynamic memory is stored in an entry of a cache memory 110. Since a Valid bit is set when the data is sent (replaced) out of the cache memory, the data is written back to the dynamic memory. The data merely reciprocates between the dynamic memory 100 and cache memory 110 via a bus controller 116 and therefore the original data is not lost.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-353871

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁸G 1 1 C 11/401
11/409

識別記号

F I

G 1 1 C 11/34

3 6 2 C

3 5 3 F

3 7 1 Z

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号

特願平10-161802

(22) 出願日

平成10年(1998) 6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 水野 弘之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鮎川 一重

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 菅野 雄介

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

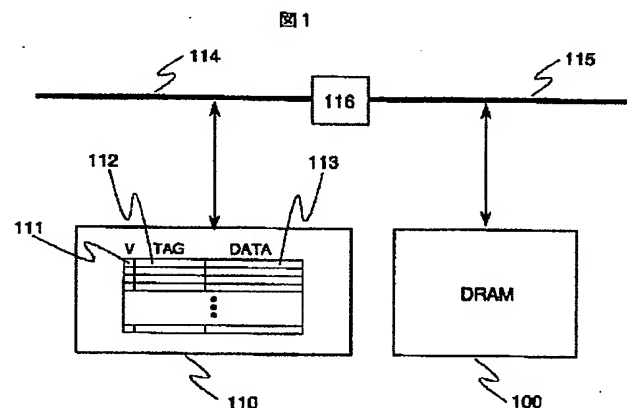
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来のDRAMでは、読み出しや書き込みの時、メモリセルへの再書き込みのためにビット線の振幅を大きくしなければならないので増幅やプリチャージのための時間が長い。このためDRAMを完全パイプライン化した場合、そのパイプラインピッチが長くなり高速化に制約がある。

【解決手段】 ワード線に接続される複数のダイナミック形メモリセルを単位として再書き込みを行わずに一括して読み出す動作と、一括して書き込む動作を設ける。一括して読み出したデータはキャッシュに待避し、キャッシュのデータを消去する時は複数のダイナミック形メモリセルに一括して書き込むと良い。

【効果】 ダイナミックメモリセルのサイクルタイムを短縮できるので、パイプライン動作をさせる時に、読み出しと書き込みのクロックサイクルを同じにでき、高速なパイプライン動作のできるDRAMが実現できる。



【特許請求の範囲】

【請求項 1】複数のワード線と複数のビット線の交点に設けられた複数のダイナミック型メモリセルと、前記複数のビット線のそれぞれに対応して設けられた複数のセンスアンプと、前記複数のセンスアンプそれぞれに対応して設けられた複数の入出力線を有するダイナミックメモリを含む半導体装置において、

前記ダイナミックメモリは、前記ワード線を選択して対応する前記ダイナミック型メモリセルの信号を対応する前記複数のビット線に読み出した後、前記読み出し信号の前記ダイナミック型メモリセルへの再書き込み期間に移行せずに、前記複数のセンスアンプが前記ビット線に読み出された信号を前記入出力線上で増幅した後、前記複数のビット線がプリチャージされる第 1 の読み出しモードを有することを特徴とする半導体装置。

【請求項 2】請求項 1 において、

前記ダイナミックメモリはさらに、前記ワード線を選択して対応する前記ダイナミック型メモリセルの信号を対応するビット線に読み出し、前記センスアンプが前記ビット線に読み出した信号を前記ビット線と入出力線上で増幅し、前記ダイナミック型メモリセルから読み出された前記ダイナミック型メモリセルへ再書き込む第 2 の読み出しモードを有することを特徴とする半導体装置。

【請求項 3】請求項 1 または 2 において、

前記ダイナミックメモリは、対応するビット線にライトアンプをさらに備え、前記ダイナミック型メモリセルへの書き込み動作時に、対応する前記ワード線を選択する直後あるいは直前あるいは同時に前記ライトアンプは書き込み信号を対応する前記ビット線に出力して、前記ダイナミック型メモリセルへ信号を書き込む第 1 の書き込みモードを有することを特徴とする半導体装置。

【請求項 4】請求項 3 において、

前記ダイナミックメモリはさらに、前記ワード線を選択して対応する前記ダイナミック型メモリセルの信号を対応するビット線に読み出し、前記センスアンプは前記ビット線に読み出した信号を前記ビット線に増幅し、前記ダイナミック型メモリセルから読み出した情報を前記ダイナミック型メモリセルへ再書き込みした後に、前記ライトアンプは書き込み信号を対応する前記ビット線に出力して、前記ダイナミック型メモリセルへ信号を書き込む第 2 の書き込みモードを有することを特徴とする半導体装置。

【請求項 5】請求項 1 から 4 のいずれかにおいて、

前記半導体装置はスタティック型メモリセルによって構成された少なくとも一つのキャッシュをさらに備え、前記ダイナミックメモリからのデータの読み出し動作において、

前記第 1 の読み出しモードで前記ダイナミックメモリからデータを読み出し、前記データは少なくとも一つの前

記キャッシュに書き込まれ、

前記キャッシュから前記データが消去される際には、前記データが前記ダイナミックメモリへ前記第 1 あるいは第 2 の書き込みモードによって書き戻されることを特徴とする半導体装置。

【請求項 6】複数のワード線と複数のビット線の交点に設けられた複数のダイナミック型メモリセルと、前記複数のビット線のそれぞれに対応して設けられた複数のセンスアンプと、前記複数のセンスアンプのそれぞれに対応して設けられた複数の入出力線を有するダイナミックメモリを含む半導体装置において、

複数のワード線のうち、アクセスすべきワード線を選択するためのロウアドレスを受けるアドレスラッチ回路を備え、前記アドレスラッチ回路は、所定周期を有するクロック信号の変化点毎に前記ロウアドレスをラッチすることを特徴とする半導体装置。

【請求項 7】請求項 6 において、

前記ダイナミックメモリは、前記ワード線を選択して対応する前記ダイナミック型メモリセルの信号を対応するビット線に読み出した後、前記読み出し信号の前記ダイナミック型メモリセルへの再書き込み期間に移行せずに、前記センスアンプが前記ビット線に読み出した信号を前記入出力線上で増幅した後、前記複数のビット線がプリチャージされる第 1 の読み出しモードを有することを特徴とする半導体装置。

【請求項 8】請求項 7 において、

前記ダイナミックメモリは、対応するビット線にライトアンプをさらに備え、前記ダイナミック型メモリセルへの書き込み動作時に、対応する前記ワード線を選択する直後あるいは直前あるいは同時に前記ライトアンプは書き込み信号を対応する前記ビット線に出力して前記ダイナミック型メモリセルへ信号を書き込む第 1 の書き込みモードを有することを特徴とする半導体装置。

【請求項 9】請求項 6 において、

前記ダイナミックメモリは、第 1 書き込みアクセス時に入力される第 1 書き込みアドレスと第 1 書き込みデータが入力されるライト遅延回路をさらに有し、前記第 1 書き込みアクセスに対応する前記ダイナミック型メモリセルへの書き込み動作は、第 1 書き込みアクセスに続く第 2 書き込みアクセス時にライト遅延回路に格納されている前記第 1 書き込みアドレスと前記第 1 書き込みデータに対して行われることを特徴とする半導体装置。

【請求項 10】請求項 9 において、

前記ダイナミックメモリは、アドレス比較器を有するフォワード回路をさらに備え、読み出しアクセスにおいて、前記フォワード回路は、入力される読み出しアドレスを前記第 1 書き込みアドレスと前記アドレス比較器により比較し、第 1 書き込みアクセスと第 2 書き込みアクセスの間に前記第 1 書き込みア

ドレスと同じアドレスの読み出しアクセスがあった場合には、第1書き込みデータを前記読み出しアクセスに対応する読み出しデータとして出力することを特徴とする半導体装置。

【請求項11】請求項7において、
前記半導体装置はスタティック型メモリセルによって構成された少なくとも一つのキャッシュをさらに備え、
前記ダイナミックメモリからのデータの読み出し動作において、
前記第1の読み出しモードで前記ダイナミックメモリからデータを読み出し、前記データは少なくとも一つの前記キャッシュに書き込まれ、
前記キャッシュから前記データが消去される際には、前記データが前記ダイナミックメモリへ前記第1あるいは第2の書き込みモードによって書き戻されることを特徴とする半導体装置。

【請求項12】請求項5または11において、
前記ダイナミックメモリと前記キャッシュメモリの少なくとも一つが同一半導体チップ上に集積されていることを特徴とする半導体装置。

【請求項13】請求項5または11において、
前記半導体装置は中央処理装置をさらに有し、
前記中央処理装置と前記キャッシュの少なくとも一つが同一半導体チップ上に集積されていることを特徴とする半導体装置

【請求項14】請求項13において、
前記キャッシュの少なくとも一つは前記中央処理装置の1次キャッシュであることを特徴とする半導体装置

【請求項15】請求項5または11において、
前記半導体装置は中央処理装置をさらに有し、
前記キャッシュの少なくとも一つは前記中央処理装置の2次キャッシュであることを特徴とする半導体装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はダイナミックメモリおよびそれを用いた半導体装置に係わり、特に高速低電力な用途に好適なダイナミックメモリおよびそれを用いた半導体装置を提供する。

【0002】

【従来の技術】従来のダイナミックメモリ（以下DRAMと記す）の動作波形は、例えば伊藤清男著、「超LSIメモリ」、培風館、p86に記載されているように、図2のように動作する。すなわち、読み出し動作時にはワード線をアサートしてメモリセルからの信号をビット線に読み出した後、所定時間 ϕA でセンスアンプを起動し、ビット線の信号を増幅する。この結果、アクセスを開始してからロウアドレスアクセス時間(t_{RAC})後にデータが確定出力される。また、メモリセルへの再書き込みのために t_{RAS} まで時間を要し、その後、プリチャージ時間(t_{RP})がビット線等のプリチャージ時間として必要になる。

【0003】一方、書き込み動作時は基本的に読み出し動作と同様であるが、センスアンプ駆動後に選択メモリセルのデータをビット線を書き込みデータに応じて駆動することで行われる。

【0004】

【発明が解決しようとする課題】上記従来のダイナミックメモリでは、

(1)読み出し動作時、メモリセルへの再書き込みのためにビット線の振幅を大きくしなければならない。これによって、 $t_{RAS}+t_{RP}$ で表されるサイクル時間(t_{RC})が長くなる。

【0005】(2)書き込み動作時、非選択メモリセルは読み出し動作と同様の動作を行う必要があるため、書き込みのサイクル時間 t_{RC} も読み出し動作と場合と同様に長くなる。

【0006】(3)上記(1)(2)のためにダイナミックメモリを完全パイプライン化した場合、そのパイプラインピッチが長くなる。

【0007】という課題が生じる。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明で用いた主な手段は以下の通りである。

【0009】(1)複数のワード線と複数のビット線の交点に設けられた複数のダイナミック型メモリセルと、前記複数のビット線のそれぞれに対応して設けられた複数のセンスアンプと、前記複数のセンスアンプそれぞれに対応して設けられた複数の入出力線を有するダイナミックメモリを含む半導体装置において、前記ダイナミックメモリは、前記ワード線を選択して対応する前記ダイナミック型メモリセルの信号に対応する前記複数のビット線に読み出した後、前記読み出し信号の前記ダイナミック型メモリセルへの再書き込み期間に移行せずに、前記複数のセンスアンプが前記ビット線に読み出された信号を前記入出力線上で増幅した後、前記複数のビット線がプリチャージされる

(2)さらに前記ダイナミックメモリは、対応するビット線にライトアンプをさらに備え、前記ダイナミック型メモリセルへの書き込み動作時に、対応する前記ワード線を選択する直後あるいは直前あるいは同時に前記ライトアンプは書き込み信号に対応する前記ビット線に出力して、前記ダイナミック型メモリセルへ信号を書き込む。

【0010】(3)また、上記(1)から(2)の半導体装置はスタティック型メモリセルによって構成された少なくとも一つのキャッシュをさらに備え、前記ダイナミックメモリからのデータの読み出し動作において、前記読み出し方法で前記ダイナミックメモリからデータを読み出し、前記データは少なくとも一つの前記キャッシュに書き込まれ、前記全てのキャッシュから前記データが消去される際には、前記データが前記ダイナミックメモリへ書き戻す。

【0011】(4)上記(1)から(3)に記載のダイナミックメモリダイナミックメモリを含む半導体装置において、複数のワード線のうち、アクセスすべきワード線を選択するためのロウアドレスを受けるアドレスラッチ回路を備え、前記アドレスラッチ回路は、所定周期を有するクロック信号の変化点毎に前記ロウアドレスをラッチする。

【0012】(5)さらに(4)のパイプライン化されたダイナミックメモリは、第1書き込みアクセス時に入力される第1書き込みアドレスと第1書き込みデータが入力されるライト遅延回路をさらに有し、前記第1書き込みアクセスに対応する前記ダイナミック型メモリセルへの書き込み動作は、第1書き込みアクセスに続く第2書き込みアクセス時にライト遅延回路に格納されている前記第1書き込みアドレスと前記第1書き込みデータに対して行う。

【0013】(6)また(5)のダイナミックメモリは、アドレス比較器を有するフォワード回路をさらに備え、読み出しアクセスにおいて、前記フォワード回路は、入力される読み出しアドレスを前記第1書き込みアドレスと前記アドレス比較器により比較し、第1書き込みアクセスと第2書き込みアクセスの間に前記第1書き込みアドレスと同じアドレスの読み出しアクセスがあった場合には、第1書き込みデータを前記読み出しアクセスに対応する読み出しデータとして出力する。

【0014】

【発明の実施の形態】図1に本発明の代表的な実施例を示す。

【0015】本発明のメモリ装置はダイナミックメモリ100とキャッシュメモリ110からなっている。キャッシュメモリ110中の111はValidビット、112、113はキャッシュメモリの各エントリのアドレスとデータを示している。114はキャッシュに接続されているバス、115はDRAMに接続されているバス、116はそれらのバスコントローラを示している。

【0016】ダイナミックメモリ100は図3に示したような動作を行う。すなわち、読み出し動作時にはワード線をアサートした後、φAでセンスアンプを起動する。この結果、ワード線をアサートしてからtRAC後にデータが出力される。その際従来のダイナミックメモリと異なり、ビット線に読み出し信号を増幅してメモリセルへ書き込むという再書き込み動作を行わない。

【0017】したがって、従来のようにビット線にデータを増幅する必要がなく、ビット線の充放電に要する電力を削減できる。また、tRASに相当する時間が必要ない。tRPがビット線等のプリチャージ時間として必要になるが、ビット線は小振幅のままであるため短い時間でプリチャージが可能になる。

【0018】一方、書き込み動作は選択メモリセルのワード線のみアサートすることで、ワード線をアサートす

るとすぐにビット線を書き込みデータに応じて駆動する。

【0019】読み出し時にメモリセルへの再書き込みを行わないことから、破壊読み出しとなる。そのデータを保護するためにキャッシュメモリ110を使用する。ダイナミックメモリ100から読み出されたデータはキャッシュメモリへ送られる。キャッシュメモリは読み出したデータのあるエントリに格納するが、その際そのエントリのValidビットをセットする。さらに、キャッシュメモリのリプレース動作際、Validビットのセットされているエントリに関しては、新しいデータをそのエントリに格納すると同時に格納されていたデータをダイナミックメモリへ書き戻す。(ライトアロケート方式のライト方式を使用したライトバック方式の如く制御する。)

このように制御することでダイナミックメモリから破壊読み出しで読み出されたデータはキャッシュメモリのエントリに格納され、キャッシュメモリから追い出される(リプレース)際にはValidビットがセットされているためダイナミックメモリへの書き戻しがなされる。ダイナミックメモリ100とキャッシュメモリ110内で往復しているだけで、元のデータは決して失われることがない。

【0020】上記のダイナミックメモリ100とキャッシュメモリ110との間のデータの流れはバスコントローラ116によって行われるが、ダイナミックメモリ100とキャッシュが直接一つのバスで接続可能な構成になっていれば図1中のバスコントローラは特に必要がないのは言うまでもない。

【0021】また、本発明のダイナミックメモリ100のセンスアンプには、例えば伊藤清男著、「超LSIメモリ」、培風館、p165に記載されているような直接センス方式のセンスアンプが好適である。この直接センス方式ではセンスアンプがビット線にデータを増幅するのを待たずにメモリセル信号を直接共通データ出力線に取り出すことができ、高速動作が可能である。従来のダイナミックメモリでこの直接センス方式を使用した場合、そのセンスアンプと並列にメモリセルへの再書き込み用のアンプが必要になるが、本発明のダイナミックメモリではこれは必要ない。

【0022】図4はこの直接センス方式のセンスアンプを本発明のダイナミックメモリに適用した場合の実施例である。MCはダイナミック型メモリセル、301はイコライザ回路、302は直接センス方式のセンスアンプ回路、303はライトアンプ回路、304はワードドライバ回路、305a~305dはワード線、BLと/B_Lはビット線、EQはイコライザ回路起動信号、SAはセンスアンプ回路起動信号、WAはライトアンプ回路起動信号を示している。R0と/R0はセンスアンプ回路からの出力線、WIと/WIはライトアンプ回路への入力線を示しており、2本のデュアルレール信号でI/O線(入出力線)を形成している。再書き込みア

ンプ回路がないのが特徴である。ここでは、出力線と入力線を分離した例を示したが、共通とすることも可能である。即ち入出力線とは書き込み読み出し用に分離した2対のものであってもよいし、1対に共通化したものでもよい。

【0023】上記したように本発明のダイナミックメモリ100はtRCが従来のダイナミックメモリと比較して大幅に短くできる。この特徴を使用するとダイナミックメモリ100を図5のようにパイプラインした場合にそのパイプラインピッチを小さくできる。図5で、200は本発明のダイナミックメモリをパイプライン化した時の構成例である。201はアドレスラッチ、202はアドレスデコーダ、203はアドレスドライバ、204はセンスアンプとライトアンプ、205は入力データDIラッチ、206はライトバッファ、207はI/O線210、211の信号を増幅するI/O線アンプ、208と209はビット線対BLと/BL、210と211はI/O線対、212はワード線、213はメモリセルである。クロックCLKは201と205と207に入力され、2ステージパイプライン構造になっている。

【0024】読み出し時には、201でラッチされたアドレスはデコードされた後、ワード線212の内、一本を選択してアサートする。ビット線BL、/BLに出力されたメモリセルの情報は204で増幅される。増幅されたメモリセルのデータは次のクロックによって207によってラッチされ、出力データD0として出力される。

【0025】書き込み時には、201でラッチされたアドレスはデコードされた後、ワード線212の内、一本を選択してアサートする。同時に書き込みデータは205によってラッチされ、206によってビット線BL、/BLを駆動する。この動作によってメモリセルへの書き込みが行われる。

【0026】上記二つの動作にはビット線BL、/BLおよびI/O線等のプリチャージ動作は省略したが、その方法は特に限定しない。クロックCLKの立ち上がりからワード線のアサートまでの間におこいなくてもよい。

【0027】従来のダイナミックメモリではtRCが長いためにパイプライン化してもそのパイプラインピッチが長くなってしまいうという欠点があった。従来ではこの欠点を見かけ上隠すためにマルチバンクインターリーブ等の方式が使用されているが、同一バンクへのアクセスが連続したときにはパイプラインが乱れる等の問題があり、またバンク制御が複雑になるという欠点があった。

【0028】図6は図5のダイナミックメモリのライトレイテンシとリードレイテンシを同じにした場合の実施例である。レイテンシとはリードアクセス要求からリードデータ出力までの時間あるいは、ライトアクセス要求からライト動作終了までの時間である。

【0029】221はリードアドレスラッチ、222、223、224はライトアドレスラッチ、225はセクタである。矢

印付きの破線はクロック線を表し、ライトデータ制御部226によって以下に示すように制御される。

【0030】図5と比較すると、アドレスラッチ201がリードアドレスラッチ221とライトアドレスラッチ222～224とセクタ225に置き換えられている。また、アドレスラッチの入力クロックと205の入力クロックはライトデータ制御部226によって以下のように制御されている。

【0031】ライトアドレスが入力されるとライトアドレスラッチによってそのアドレスは遅延される。2クロック後にライトデータは205によってラッチされ、ライト準備状態となる。このライトアクセスの次にライトアクセス要求があったタイミングで、224にラッチされているアドレスと205にラッチされているデータを元にメモリセルにライトレイテンシ0で書き込まれる。したがって、ライト動作はそのライトアクセスの次のライトアクセス時に行われることになる。(ディレイドライトされる)図5の方式ではライトレイテンシ0、リードレイテンシ3であるが、図6のような構成で制御することで、ライトレイテンシとリードレイテンシをどちらも3にできる。

【0032】このようにライトとリードのレイテンシを合わせるように制御することで、複数のCPUやバスマスタからのアクセス要求、リフレッシュ要求等をパイプラインを乱すことなくダイナミックメモリへ投入できる。また、本発明のダイナミックメモリを使用するデバイスはリードレイテンシのみならず、ライトレイテンシも完全に把握できる。したがって、ライトデータをリードレイテンシと同じレイテンシでダイナミックメモリに投入するということが容易にでき、それによってリードとライトが混在した場合のパイプライン充填率を高めることができる。

【0033】なお、図6の方式ではライトアクセス後に実際にメモリにその情報が書き込まれるのは少なくとも2クロック後である。したがって、その間に同一アドレスに対してリードアクセス要求があった場合には注意が必要である。

【0034】(1)ライトアクセスの1クロック後に同一アドレスにリードアクセスがあった場合、ライトデータはまだダイナミックメモリには入力されていないので、次のクロックでそのライトデータを入力して、その次のクロックでそのデータをフォワードすればよい。

【0035】(2)ライトアクセスの2クロック後に同一アドレスにリードアクセスがあった場合、そのクロックでラッチしたライトデータをそのままフォワードすればよい。

【0036】以上のフォワード回路を図6に付加したのが図7である。231はアドレス比較器、232はセクタ、233はラッチである。231のアドレス比較器によってメモリセルへ未書き込みのデータのリード要求がなされたことを検出し、セクタ232を用いて対応する読みだしデ

ータをフォワーディングしている。

【0037】図1のキャッシュメモリ110はダイナミックメモリ100と同一半導体チップ上に集積してもよいが、別チップにしてもよい。

【0038】また、ダイナミックメモリ100をCPUの主記憶として使用する場合、キャッシュメモリ110はCPUの1次キャッシュとして実現するのが最適である。あるいはまた、CPUの1次キャッシュと2次キャッシュからなるメモリシステムとして実現してもよい。この場合、ダイナミックメモリ100から読み出されたデータは1次キャッシュに書き込まれ、1次キャッシュから前記データが消去される際には、前記データが2次キャッシュへ書き込まれ、2次キャッシュから前記データがリプレース際に、前記データがダイナミックメモリ100に書き戻されるように制御するのが最適である。前記のようにキャッシュメモリ110をCPUの1次キャッシュあるいは2次キャッシュと兼ねることで面積効率を高くできる。

【0039】本発明のダイナミックメモリは基本的に選択メモリセルに接続されたワード線のみをアサートする必要がある。したがって、選択メモリセルが少ない場合、ワード線を多くのサブワード線に分割しデコードする必要がある。これが面積増加になる。一度に選択する選択メモリセルの数を増やすためには以下に示す方法がある。

【0040】(1)キャッシュメモリ110はダイナミックメモリ100と同一半導体チップ上に集積すれば、ピン数ネットワークが無いためにキャッシュメモリのラインサイズを大きくすることができ、一度に選択する選択メモリセルの数を増やすことができる。極端な例ではキャッシュメモリのメモリセルをセンスアンプと並列にレイアウトしてもよい。

【0041】(2)キャッシュメモリ110をCPUの1次キャッシュあるいは2次キャッシュを用いて実現するなどしてダイナミックメモリ100とは別チップにした場合には、キャッシュメモリ110とダイナミックメモリ100間だけのデータ転送サイズを多くする。例えばキャッシュメモリ110をCPUの2次キャッシュで実現した場合、2次キャッシュのラインサイズを大きくすればよい。

【0042】また、本発明のダイナミックメモリに格納されているデータはキャッシュメモリ110あるいはダイナミックメモリ100中に存在する。したがって、これらのメモリシステムに対して複数のバスマスタがある場合、いわゆるコヒーレンシの問題が生じるが、例えば以下のようにしてこの問題を解決できる。

【0043】(1)キャッシュメモリ110とダイナミックメモリ100が同一半導体チップ上に集積されており、そのチップへのアクセスはキャッシュメモリ110を通してのみ行われるのであれば、ダイナミックメモリ100への直接のアクセスは有り得ないのでコヒーレンシの問題は生じない。

【0044】(2)キャッシュメモリ110とダイナミックメモリ100が別チップ上に形成された場合、キャッシュメモリ110をCPUの1次キャッシュあるいは2次キャッシュを用いて実現すればよい。ダイナミックメモリ100には直接複数のCPUからのアクセスが可能になるが、CPUや1次キャッシュあるいは2次キャッシュコントローラに内蔵しているMESIプロトコル等を用いたコヒーレンシ補償方法をそのまま使用できる。ダイナミックメモリ100からデータを読み出した場合にはそのデータのエントリのValidビットはセットされるため、MESIプロトコルが他のCPUの該当エントリアクセスをモニタしてくれる。

【0045】図8はキャッシュメモリ110が使用できない場合の本発明の完全パイプライン化したダイナミックメモリの使用例である。前記のように本発明のダイナミックメモリは破壊読み出しである。したがって、読み出したデータはダイナミックメモリ内には存在しなくなる。図8ではダイナミックメモリをパイプライン化して、読み出した直後に同一アドレスに読み出したデータの書き込み動作を行っている。(A)は図5の実施例を使用した場合の波形である。(B)は図6あるいは図7の実施例を使用した場合の波形である。前記のように図6あるいは図7の方式を使うとアクセスオーバーヘッドを完全に1クロックに抑えることができる。なお、複数のバスマスタがあった場合、コヒーレンシを補償するために、再書き込みのための連続リードライト動作の後続するライトアクセスは最優先で行う必要がある。

【0046】図8の方法はキャッシュメモリ110が使用できない場合のみならず、キャッシュメモリ110にValidビット制御が使用できない場合でも使用できる。さらに、キャッシュメモリ110が命令キャッシュであるときにも使用できる。

【0047】また、キャッシュメモリ110の数は限定しない。あるいはキャッシュメモリ110の中に複数のメモリ階層を持っていたりもよい。命令キャッシュとデータキャッシュのように二つあってもよい。データキャッシュの場合には図1で記述したValidビットを使用したアクセス方法を使用し、命令キャッシュの場合には図8で記述した方法を用いてリードアクセス後にライトアクセスすればよい。あるいは、ダイナミックメモリ100に二つのモードも設け、本発明のダイナミックメモリ形式でアクセスするモードと従来のダイナミックメモリ形式でアクセスするモードを持っていたりもよい。アクセス効率がよいモードをアクセス内容によって選択すれば、より効率的にダイナミックメモリ100を使用することができる。

【0048】以上の実施例ではValidビットを使用して例を示したが、Validビットの有無は特に限定しない。また、キャッシュメモリ110のラインサイズ、ウェイ数、容量等も特に限定しない。ダイナミックメモリ100から破壊読み出しされたデータがキャッシュメモリ110に格納され、キャッシュメモリ110から追い出されたデ

ータがダイナミックメモリ100に格納されるようにすればよい。2つ以上のキャッシュメモリがある場合には、それらのキャッシュメモリとダイナミックメモリの中でデータが常にあるように制御すればよい。要はダイナミックメモリを破壊読み出し、読み出したデータがダイナミックメモリを使用しているシステム全体の読み出したダイナミックメモリ以外のメモリ（本発明で言うキャッシュメモリ）に格納するように制御すればシステム構成は特に限定しない。

【0049】また、ダイナミックメモリ100の数も限定しない。複数のダイナミックメモリチップに対して本発明の方式を適用してもよいし、複数のダイナミックメモリチップの一部のダイナミックメモリに本発明の方式を適用してもよい。

【0050】さらに、キャッシュメモリ110のメモリセルの構造は特に限定しない。キャパシタンスに電荷をためてデータを記憶するダイナミック型でもよいし、ポリ抵抗あるいはTFTをもちいたSRAMメモリセルあるいは6つのMOSトランジスタを用いた完全CMOS SRAMメモリセルでもよい。

【0051】以上の実施例による作用効果は以下の通りである。

【0052】(1)ダイナミックメモリを破壊読み出しとすることで、ビット線にデータを増幅する必要がなく、tRASに相当する時間が必要ない。プリチャージ時間についてはビット線は小振幅のままであるため短い時間でプリチャージが可能になる。

【0053】(2)(1)によりサイクルタイムtRCを従来のダイナミックメモリと比較して大幅に短くできる。この特徴を使用するとダイナミックメモリをパイプラインSRAMのようにパイプラインした場合にそのパイプラインピッチを小さくできる。

【0054】(3)ダイナミックメモリのセンスアンプには、直接センス方式のセンスアンプを利用した場合には、高速な増幅動作が可能である。従来のダイナミックメモリでこの直接センス方式を使用した場合、そのセンスアンプと並列にメモリセルへの再書き込み用のアンプが必要になるが、本発明のダイナミックメモリでは必要

ないためチップ面積が低減できる。

【0055】(4)以上の構成によりパイプライン化したダイナミックメモリにおいて、そのリードレイテンシとライトレイテンシを同じにできる。これにより、リードとライトが混在した場合のパイプライン充填率を高めることができる。

【0056】

【発明の効果】ダイナミックメモリセルの読み出し・書き込みのサイクルタイムを短縮できるので、高速動作のできるDRAMが実現できる。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】従来のダイナミックメモリの動作波形を示す図である。

【図3】本発明のダイナミックメモリの動作波形の一例を示す図である。

【図4】直接センス方式のセンスアンプ回路を用いた本発明のダイナミックメモリの実施例を示す図である。

【図5】本発明のパイプライン化したダイナミックメモリの実施例と、その動作波形を示す図である。

【図6】本発明のライトレイテンシとリードレイテンシが同じパイプライン化したダイナミックメモリの実施例と、その動作波形を示す図である。

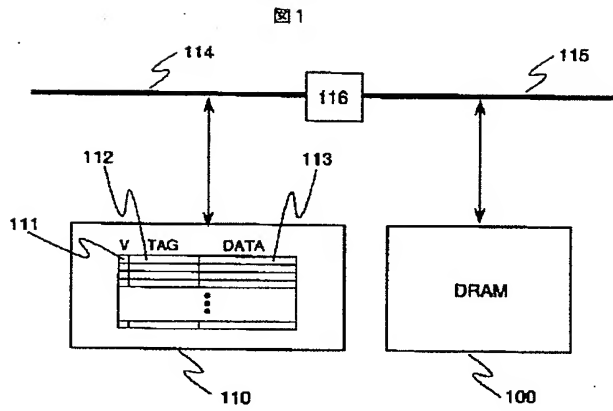
【図7】図5の実施例にフワード回路をさらに付加した時の実施例を示す図である。

【図8】キャッシュメモリが使用できない場合の本発明のダイナミックメモリの使用例を示す図である。

【符号の説明】

100……ダイナミックメモリ、 110……キャッシュメモリ、 200……完全パイプラインダイナミックメモリ、 220……ノーウェイトアクセス完全パイプラインダイナミックメモリ、 230……フワード回路付きノーウェイトアクセス完全パイプラインダイナミックメモリ、 300……直接センス方式のセンスアンプを用いたダイナミックメモリ、 Ra1、Ra2……リードアドレス、 Wa1、Wa2……ライトアドレス、 Rd1、Rd2……リードデータ、 Wd1、Wd2……ライトデータ。

【図1】



【図2】

図2

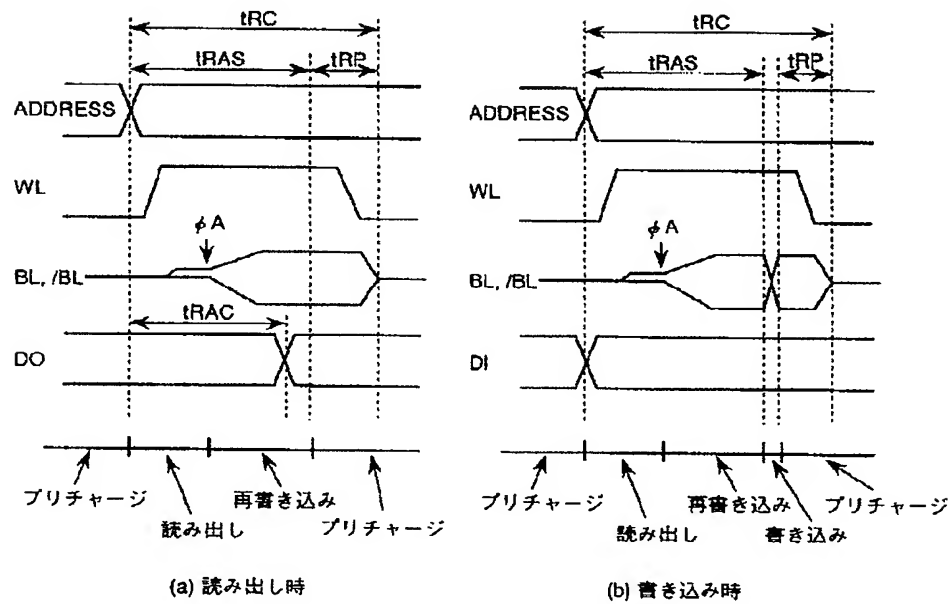


图 3

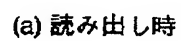
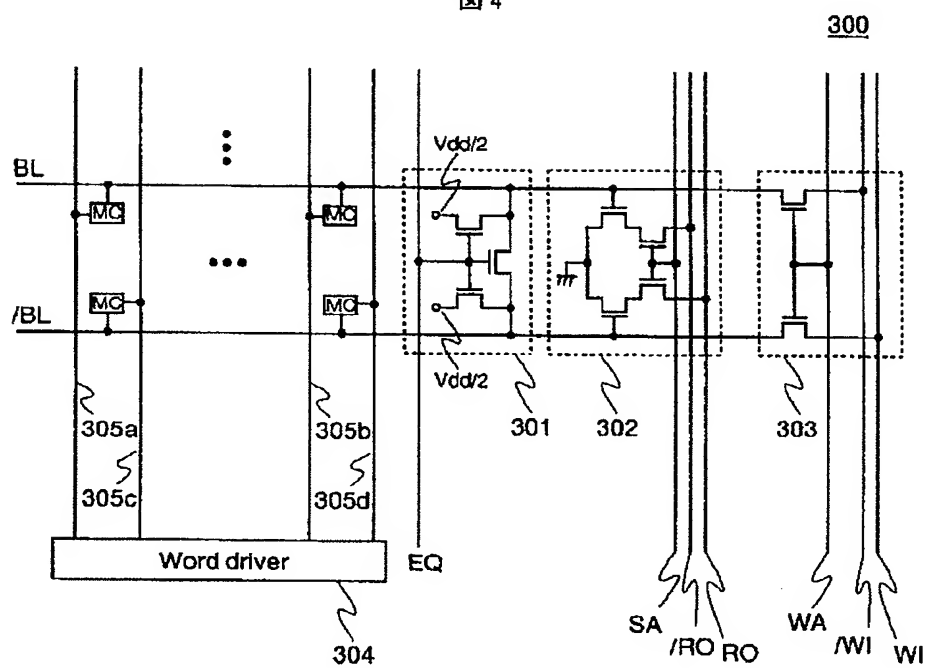
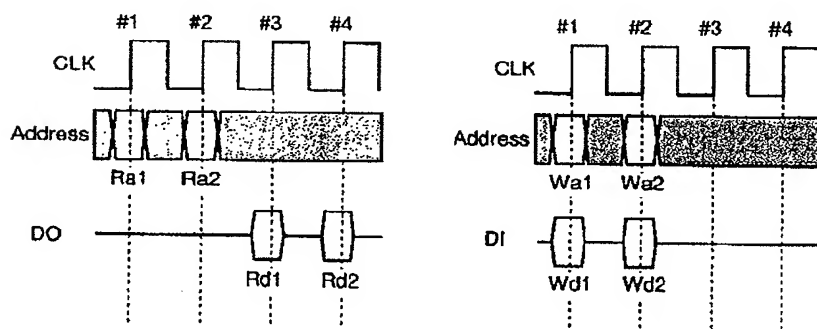
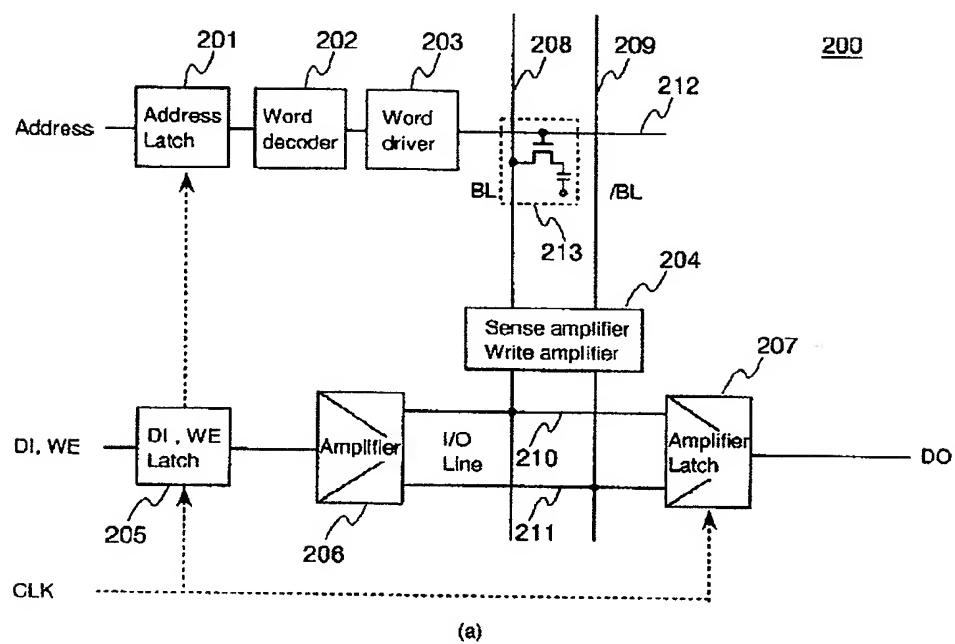


图 4



【図 5】

図 5

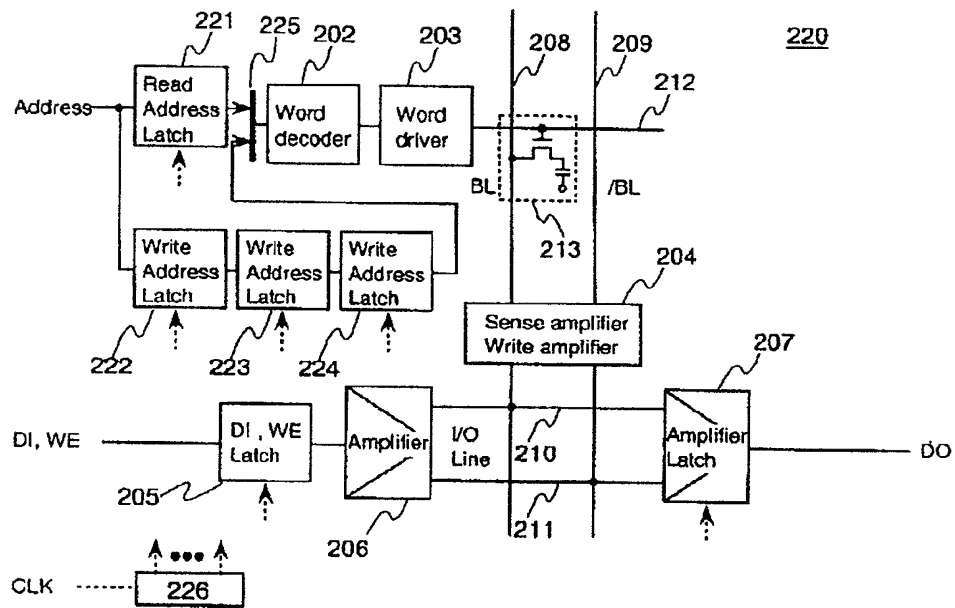


(b) 読み出し時

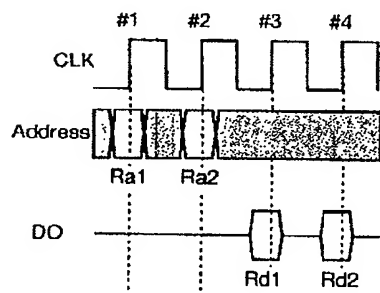
(c) 書き込み時

【図 6】

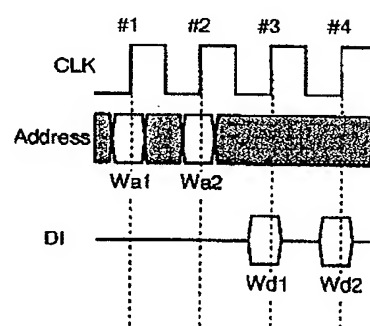
図 6



(a)



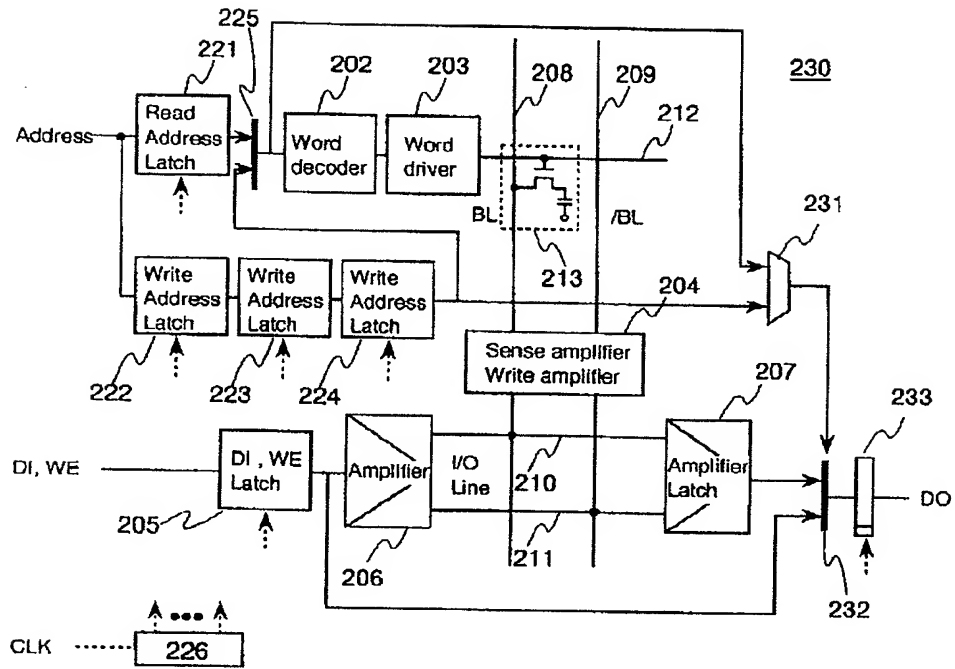
(b) 読み出し時



(c) 書き込み時

【図 7】

図 7



【図 8】

図 8

